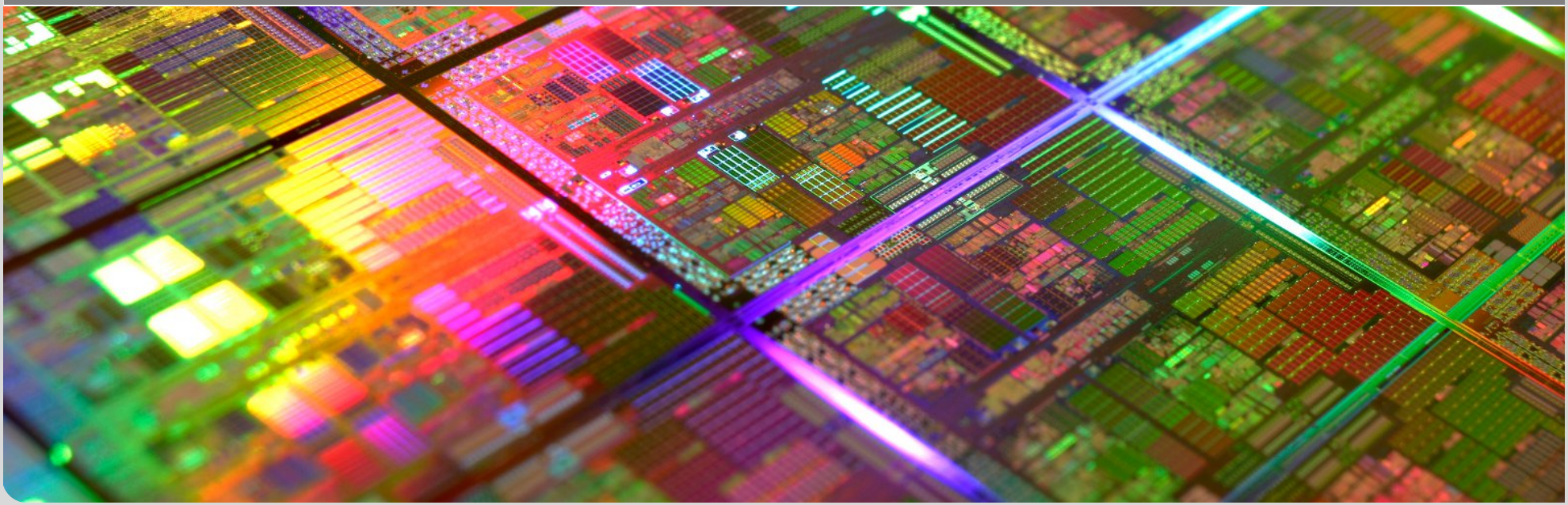
Karlsruher Institut für Technologie

RO-Tutorien 3 / 6 / 12

Tutorien zur Vorlesung “Rechnerorganisation”

Christian A. Mandery

WOCHE 8 AM 17./18.06.2013



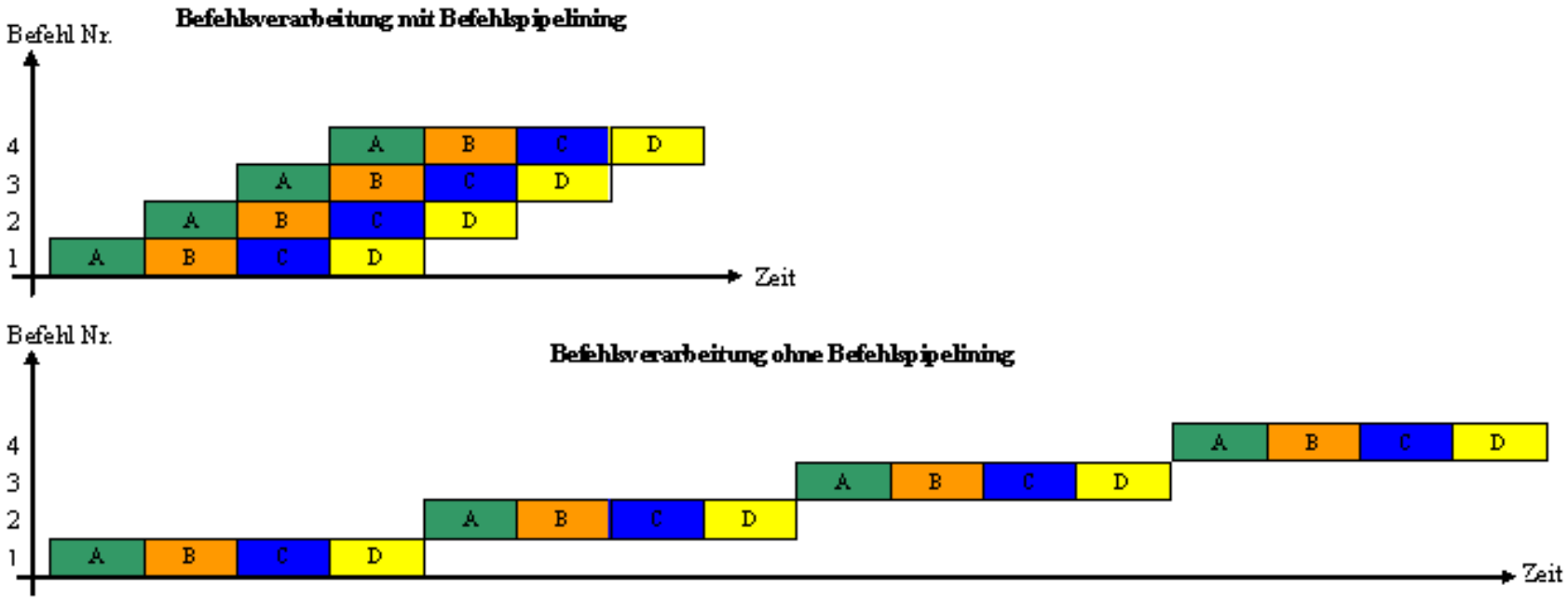
Heute

- Pipelining
- Übungsaufgaben

Parallelität innerhalb der CPU - Wozu?

- Viele Komponenten der CPU sind die meiste Zeit inaktiv
- Eine schlechte Datenbusarchitektur erschwert Parallelität, indem eine Komponenten einen geteilten Bus für andere Komponenten blockiert (Flaschenhals)
- $\Rightarrow$ Ziel: Geschwindigkeitsvorteil durch optimale Parallelisierung

Die Idee der Pipeline



- Mögliche Phasen der Befehlsabarbeitung bekannt von MIMA/MIPS

Diagramm: Frank Jacobsen, http://commons.wikimedia.org/wiki/File:Befehlspipeline.svg

Die DLX-Pipeline

1. IF: Instruction Fetch
2. ID: Instruction Decode
3. EX: Execute
4. MEM: Memory Access
5. WB: Write Back

Vorteile von Pipelining

- Zeitdauer für Abarbeitung **eines** Befehls wird nicht reduziert
- Aber: Pipelining erhöht den Durchsatz bei der Ausführung einer Befehlsfolge
- Im (theoretischen) Idealfall: Nach Befüllen der Pipeline wird jeden Takt die Ausführung eines Befehls abgeschlossen
- Maximal mögliche Taktfrequenz der Pipeline richtet sich nach der langsamsten Pipeline-Stufe

Vorteile von Pipelining

- Zeitdauer für Abarbeitung **eines** Befehls wird nicht reduziert
- Aber: Pipelining erhöht den Durchsatz bei der Ausführung einer Befehlsfolge
- Im (theoretischen) Idealfall: Nach Befüllen der Pipeline wird jeden Takt die Ausführung eines Befehls abgeschlossen
- Maximal mögliche Taktfrequenz der Pipeline richtet sich nach der langsamsten Pipeline-Stufe

Vorteile von Pipelining

- Zeitdauer für Abarbeitung **eines** Befehls wird nicht reduziert
- Aber: Pipelining erhöht den Durchsatz bei der Ausführung einer Befehlsfolge
- Im (theoretischen) Idealfall: Nach Befüllen der Pipeline wird jeden Takt die Ausführung eines Befehls abgeschlossen
- Maximal mögliche Taktfrequenz der Pipeline richtet sich nach der langsamsten Pipeline-Stufe

Probleme beim Pipelining

- Erhöhter Planungs- und Schaltungsaufwand
- Datenkonflikte: Daten werden benötigt, die noch nicht zur Verfügung stehen
- Kontrollflusskonflikte: Es ist noch nicht klar, welcher Befehl in die Pipeline geladen werden muss
- Ressourcenkonflikte: Komponenten (z.B. Addierer oder Speicherbus) werden in mehr als einer Pipeline-Stufe benötigt

Probleme beim Pipelining

- Erhöhter Planungs- und Schaltungsaufwand
- Datenkonflikte: Daten werden benötigt, die noch nicht zur Verfügung stehen
- Kontrollflusskonflikte: Es ist noch nicht klar, welcher Befehl in die Pipeline geladen werden muss
- Ressourcenkonflikte: Komponenten (z.B. Addierer oder Speicherbus) werden in mehr als einer Pipeline-Stufe benötigt

Probleme beim Pipelining

- Erhöhter Planungs- und Schaltungsaufwand
- Datenkonflikte: Daten werden benötigt, die noch nicht zur Verfügung stehen
- Kontrollflusskonflikte: Es ist noch nicht klar, welcher Befehl in die Pipeline geladen werden muss
- Ressourcenkonflikte: Komponenten (z.B. Addierer oder Speicherbus) werden in mehr als einer Pipeline-Stufe benötigt

Probleme beim Pipelining

- Erhöhter Planungs- und Schaltungsaufwand
- Datenkonflikte: Daten werden benötigt, die noch nicht zur Verfügung stehen
- Kontrollflusskonflikte: Es ist noch nicht klar, welcher Befehl in die Pipeline geladen werden muss
- Ressourcenkonflikte: Komponenten (z.B. Addierer oder Speicherbus) werden in mehr als einer Pipeline-Stufe benötigt

Durchsatz

- Durchsatz als Maßzahl für die Leistungsfähigkeit einer Mikroarchitektur, z.B. gemessen in IPC (Instructions per cycle)
- $\text{Durchsatz} := \frac{\text{Ausgeführte Befehle}}{\text{Benötigte Zeit}}$
- $\Rightarrow$ Durchsatz erhöht sich durch Pipelining
- Im Idealfall:
  - k-stufige Pipeline mit n Befehlen: $k + (n - 1)$ benötigte Taktzyklen
  - Für $n \to \infty$: $\text{Durchsatz} \to 1$

Durchsatz

- Durchsatz als Maßzahl für die Leistungsfähigkeit einer Mikroarchitektur, z.B. gemessen in IPC (Instructions per cycle)
- $\text{Durchsatz} := \frac{\text{Ausgeführte Befehle}}{\text{Benötigte Zeit}}$
- $\Rightarrow$ Durchsatz erhöht sich durch Pipelining
- Im Idealfall:
  - k-stufige Pipeline mit n Befehlen: $k + (n - 1)$ benötigte Taktzyklen
  - $\text{Für } n \to \infty\text{: Durchsatz} \to 1$

Speedup

- Speedup gibt den Geschwindigkeitsgewinn durch das Pipelining an
- $\text{Speedup} := \frac{\text{Ohne Pipelining nötige Taktzyklen}}{\text{Mit Pipeline nötige Taktzyklen}}$
- Im Idealfall:
  - Für $n \to \infty$, Speedup $\to$ Anzahl Pipeline-Stufen

Speedup

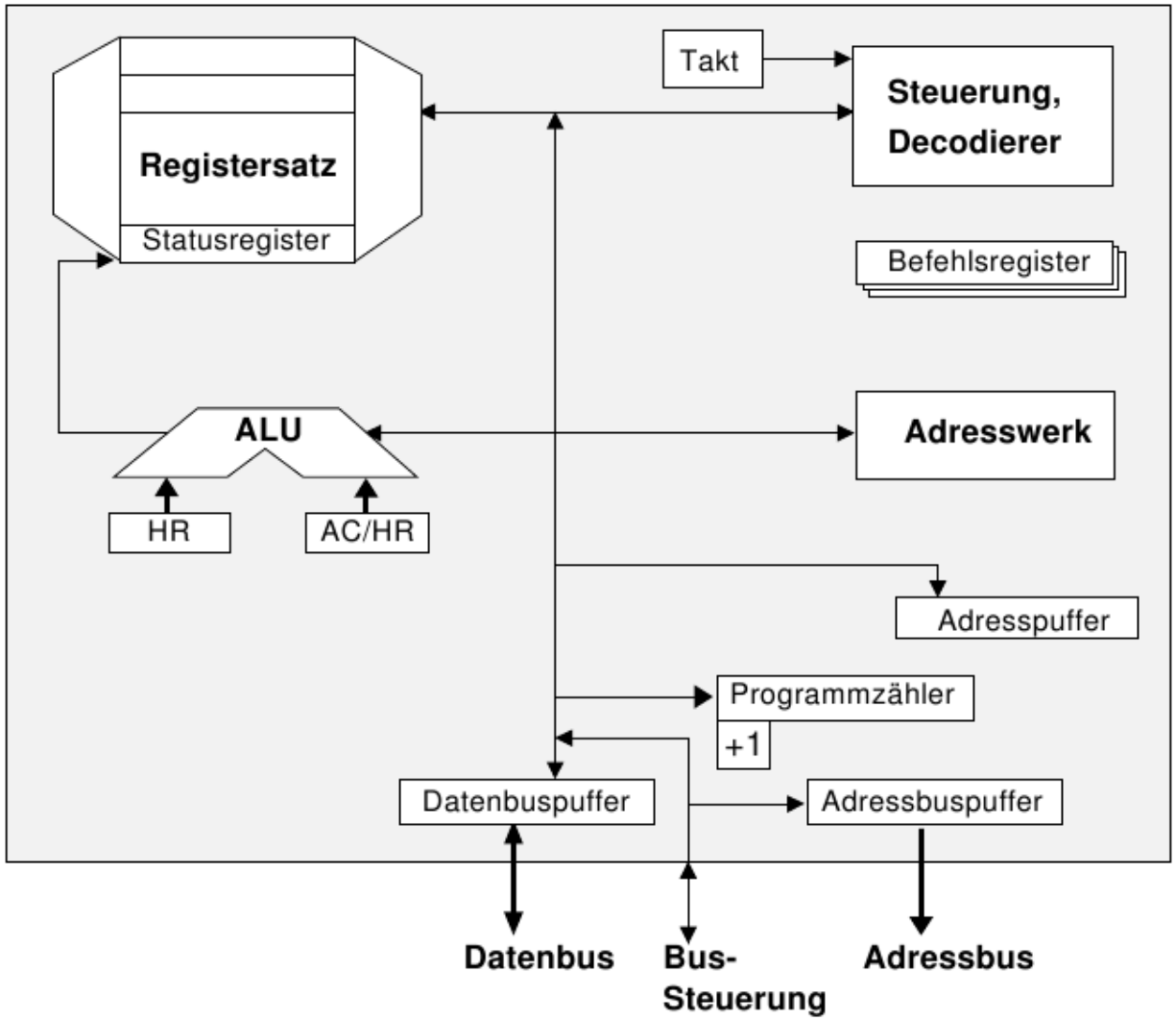
- Speedup gibt den Geschwindigkeitsgewinn durch das Pipelining an
- $\text{Speedup} := \frac{\text{Ohne Pipelining nötige Taktzyklen}}{\text{Mit Pipeline nötige Taktzyklen}}$
- Im Idealfall:
  - Für $n \to \infty$, Speedup $\to$ Anzahl Pipeline-Stufen

Übungsaufgabe 1

Ihre Aufgabe besteht darin, die Architektur des internen Bussystems zu entwerfen, so dass eine hohe prozessorinterne Parallelität bei der Befehlsverarbeitung möglich ist, d.h.

- Opcode Prefetching
- Gleichzeitiges Schreiben der ALU-Ergebnisse in den Registersatz und paralleles Laden der ALU-Eingänge mit Operanden aus dem Registersatz oder dem Datenbuspuffer (sofern nicht das gleiche Register hierfür benötigt wird)
- Direkter Zugriff des Adresswerks auf die Adressregister im Registersatz

Übungsaufgabe 1



Übungsaufgabe 2

Die Befehlsabarbeitung in einem Prozessor erfolgt in den folgenden Stufen:

- B: Befehl holen
- D: Befehl dekodieren
- O: Operand(en) holen
- A: Befehl ausführen
- S: Ergebnis speichern

Diskutieren Sie die folgende Situation: Der Befehl n legt sein Ergebnis in der Speicherstelle a ab. Der nächste Befehl (n + 1) benutzt den soeben erzeugten Wert als Operanden. Zeigen Sie die Probleme auf, die dadurch entstehen, dass die beiden Befehle in einer Pipeline ausgeführt werden, die aus den obigen Bearbeitungseinheiten besteht.

Übungsaufgabe 3

Erläutern Sie die Aufgaben der einzelnen Pipeline-Stufen der DLX-Pipeline für

- arithmetisch-logische Befehle
- bedingte Sprungbefehle mit PC-relativer Adressierung

Übungsaufgabe 3

Erläutern Sie die Aufgaben der einzelnen Pipeline-Stufen der DLX-Pipeline für

- arithmetisch-logische Befehle
- bedingte Sprungbefehle mit PC-relativer Adressierung

Fertig!

Quelle: http://xkcd.com/880/