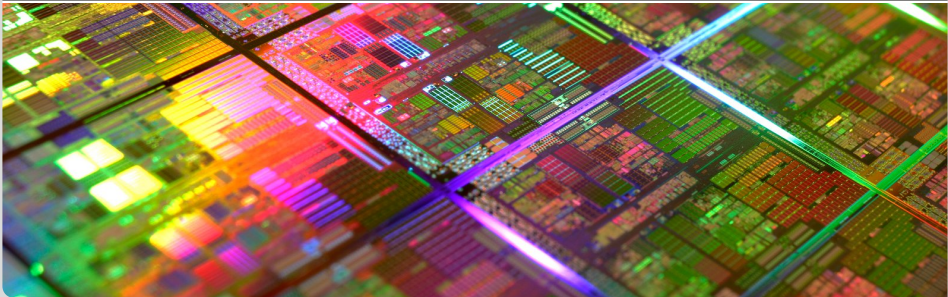


# DuE-Tutorien 16 und 17

Tutorien zur Vorlesung “Digitaltechnik und Entwurfsverfahren”

Tutorienwoche 5 am 03.12.2010



- Dotierung von Halbleitern
- MOSFET
- CMOS
- Übungsaufgaben

- Einfügen von einigen wenigen Fremdatomen in das Halbleitermaterial, um die Leiteigenschaften zu beeinflussen
- n-Dotierung: Dotierung mit Elektronen-Donatoren
  - Atome mit **mehr** Valenzelektronen als Halbleitermaterial
  - Überschüssige Elektronen können wandern (n = negativ)
- p-Dotierung: Dotierung mit Elektronen-Akzeptoren
  - Atome mit **weniger** Valenzelektronen als Halbleitermaterial
  - Elektronen-Lücken (Defektelektronen) können wandern
  - Defektelektronen können in der Vorstellung und rechnerisch als positives (= p) Ladungsteilchen betrachtet werden

- Einfügen von einigen wenigen Fremdatomen in das Halbleitermaterial, um die Leiteigenschaften zu beeinflussen
- n-Dotierung: Dotierung mit Elektronen-Donatoren
  - Atome mit **mehr** Valenzelektronen als Halbleitermaterial
  - Überschüssige Elektronen können wandern (n = negativ)
- p-Dotierung: Dotierung mit Elektronen-Akzeptoren
  - Atome mit **weniger** Valenzelektronen als Halbleitermaterial
  - Elektronen-Lücken (Defektelektronen) können wandern
  - Defektelektronen können in der Vorstellung und rechnerisch als positives (= p) Ladungsteilchen betrachtet werden

- Einfügen von einigen wenigen Fremdatomen in das Halbleitermaterial, um die Leiteigenschaften zu beeinflussen
- n-Dotierung: Dotierung mit Elektronen-Donatoren
  - Atome mit **mehr** Valenzelektronen als Halbleitermaterial
  - Überschüssige Elektronen können wandern (n = negativ)
- p-Dotierung: Dotierung mit Elektronen-Akzeptoren
  - Atome mit **weniger** Valenzelektronen als Halbleitermaterial
  - Elektronen-Lücken (Defektelektronen) können wandern
  - Defektelektronen können in der Vorstellung und rechnerisch als positives (= p) Ladungsteilchen betrachtet werden

- Halbleitermaterial in heutigen IC-Chips: Meist Silizium
- Silizium besitzt 4 Valenzelektronen →
  - p-Dotierung z.B. mit Bor (3 Valenzelektronen)
  - n-Dotierung z.B. mit Phosphor (5 Valenzelektronen)

- Halbleitermaterial in heutigen IC-Chips: Meist Silizium
- Silizium besitzt 4 Valenzelektronen →
  - p-Dotierung z.B. mit Bor (3 Valenzelektronen)
  - n-Dotierung z.B. mit Phosphor (5 Valenzelektronen)

- Spannungsgesteuerter Transistor, d.h. kein (bzw. minimaler) Stromfluss zum Schalten erforderlich
- Funktionsweise: Die Spannung am Gate-Anschluss beeinflusst über ein elektrisches Feld die Leitfähigkeit des Kanals zwischen dem Source- und dem Drain-Anschluss
- Verschiedene physikalische Bauarten, für uns interessant: MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)
  - → MOSFETs als Grundlage von CMOS-Schaltungen
- Im folgenden immer Betrachtung von MOSFETs

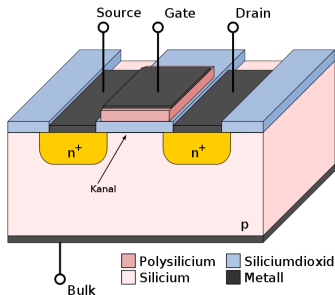


- Spannungsgesteuerter Transistor, d.h. kein (bzw. minimaler) Stromfluss zum Schalten erforderlich
- Funktionsweise: Die Spannung am Gate-Anschluss beeinflusst über ein elektrisches Feld die Leitfähigkeit des Kanals zwischen dem Source- und dem Drain-Anschluss
- Verschiedene physikalische Bauarten, für uns interessant: MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)
  - → MOSFETs als Grundlage von CMOS-Schaltungen
- Im folgenden immer Betrachtung von MOSFETs

- Spannungsgesteuerter Transistor, d.h. kein (bzw. minimaler) Stromfluss zum Schalten erforderlich
- Funktionsweise: Die Spannung am Gate-Anschluss beeinflusst über ein elektrisches Feld die Leitfähigkeit des Kanals zwischen dem Source- und dem Drain-Anschluss
- Verschiedene physikalische Bauarten, für uns interessant: MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)
  - → MOSFETs als Grundlage von CMOS-Schaltungen
- Im folgenden immer Betrachtung von MOSFETs

- Spannungsgesteuerter Transistor, d.h. kein (bzw. minimaler) Stromfluss zum Schalten erforderlich
- Funktionsweise: Die Spannung am Gate-Anschluss beeinflusst über ein elektrisches Feld die Leitfähigkeit des Kanals zwischen dem Source- und dem Drain-Anschluss
- Verschiedene physikalische Bauarten, für uns interessant: MOSFET (Metal-Oxide Semiconductor Field Effect Transistor)
  - → MOSFETs als Grundlage von CMOS-Schaltungen
- Im folgenden immer Betrachtung von MOSFETs

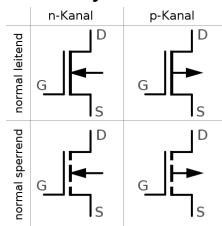
# n-Kanal-MOSFET (NMOS-Transistor)



- Gate ist nicht leitend verbunden (Siliziumdioxid ist Isolator)
- Bei Spannung am Gate zieht elektrisches Feld Elektronen in den Kanal-Bereich: Verbindung zwischen Source und Drain geschlossen

Quelle Bild: [http://de.wikipedia.org/w/index.php?title=Datei:N-Kanal-MOSFET\\_\(Schema\).svg](http://de.wikipedia.org/w/index.php?title=Datei:N-Kanal-MOSFET_(Schema).svg)

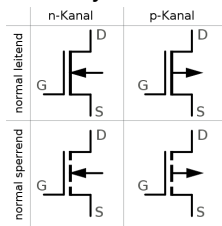
## ■ Schaltsymbole:



- Symmetrie: Source und Drain sind (in der Theorie) gleichwertig
- Transistor kann selbstsperrend oder selbstleitend aufgebaut werden
  - Diskussion: Warum verwendet man in der Regel selbstsperrend?
- Kanal kann n- oder p-dotiert sein: Bestimmt Schaltverhalten bei anliegender Gate-Spannung (NMOS/PMOS)
  - Nicht verwechseln mit selbstsperrend/selbstleitend!

Quelle Schaltsymbole: [http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor\\_Symbole.svg](http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor_Symbole.svg)

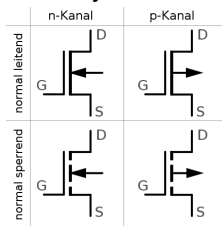
## ■ Schaltsymbole:



- Symmetrie: Source und Drain sind (in der Theorie) gleichwertig
- Transistor kann selbstsperrend oder selbstleitend aufgebaut werden
  - Diskussion: Warum verwendet man in der Regel selbstsperrend?
- Kanal kann n- oder p-dotiert sein: Bestimmt Schaltverhalten bei anliegender Gate-Spannung (NMOS/PMOS)
  - Nicht verwechseln mit selbstsperrend/selbstleitend!

Quelle Schaltsymbole: [http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor\\_Symbole.svg](http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor_Symbole.svg)

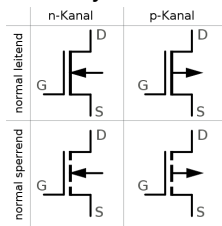
## ■ Schaltsymbole:



- Symmetrie: Source und Drain sind (in der Theorie) gleichwertig
- Transistor kann selbstsperrend oder selbstleitend aufgebaut werden
  - Diskussion: Warum verwendet man in der Regel selbstsperrend?
- Kanal kann n- oder p-dotiert sein: Bestimmt Schaltverhalten bei anliegender Gate-Spannung (NMOS/PMOS)
  - Nicht verwechseln mit selbstsperrend/selbstleitend!

Quelle Schaltsymbole: [http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor\\_Symbole.svg](http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor_Symbole.svg)

## ■ Schaltsymbole:



- Symmetrie: Source und Drain sind (in der Theorie) gleichwertig
- Transistor kann selbstsperrend oder selbstleitend aufgebaut werden
  - Diskussion: Warum verwendet man in der Regel selbstsperrend?
- Kanal kann n- oder p-dotiert sein: Bestimmt Schaltverhalten bei anliegender Gate-Spannung (NMOS/PMOS)
  - Nicht verwechseln mit selbstsperrend/selbstleitend!

Quelle Schaltsymbole: [http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor\\_Symbole.svg](http://de.wikipedia.org/w/index.php?title=Datei:MISFET-Transistor_Symbole.svg)



- “Complementary Metal-Oxide Semiconductor”
- NMOS-Transistoren schalten “Null” und PMOS-Transistoren “Eins” besonders gut
- Idee: Man kombiniert NMOS- und PMOS-Transistoren in einer Schaltung, wobei PMOS-Transistoren  $f$  realisieren und NMOS-Transistoren  $\bar{f}$

- “Complementary Metal-Oxide Semiconductor”
- NMOS-Transistoren schalten “Null” und PMOS-Transistoren “Eins” besonders gut
- Idee: Man kombiniert NMOS- und PMOS-Transistoren in einer Schaltung, wobei PMOS-Transistoren  $f$  realisieren und NMOS-Transistoren  $\bar{f}$

- “Complementary Metal-Oxide Semiconductor”
- NMOS-Transistoren schalten “Null” und PMOS-Transistoren “Eins” besonders gut
- Idee: Man kombiniert NMOS- und PMOS-Transistoren in einer Schaltung, wobei PMOS-Transistoren  $f$  realisieren und NMOS-Transistoren  $\bar{f}$

- CMOS-Schaltung wird in p-Netz und n-Netz geteilt:
  - p-Netz:
    - PMOS-Transistoren
    - Schaltet im Fall  $f = 1$  die Versorgungsspannung ( $V_{dd}$ ) auf den Ausgang
    - Im Schaltbild “oben” eingezeichnet
  - n-Netz:
    - NMOS-Transistoren
    - Schaltet im Fall  $f = 0$  die Masse (GND) auf den Ausgang
    - Im Schaltbild “unten” eingezeichnet
- p- und n-Netz sind komplementär! (CMOS)
  - Ein Schaltnetz reicht, um die realisierte Funktion abzulesen
  - Reihenschaltung im p-Netz entspricht Parallelschaltung im n-Netz und umgekehrt

- CMOS-Schaltung wird in p-Netz und n-Netz geteilt:
  - p-Netz:
    - PMOS-Transistoren
    - Schaltet im Fall  $f = 1$  die Versorgungsspannung ( $V_{dd}$ ) auf den Ausgang
    - Im Schaltbild “oben” eingezeichnet
  - n-Netz:
    - NMOS-Transistoren
    - Schaltet im Fall  $f = 0$  die Masse (GND) auf den Ausgang
    - Im Schaltbild “unten” eingezeichnet
- p- und n-Netz sind komplementär! (CMOS)
  - Ein Schaltnetz reicht, um die realisierte Funktion abzulesen
  - Reihenschaltung im p-Netz entspricht Parallelschaltung im n-Netz und umgekehrt

- Solange kein Schaltvorgang stattfindet:
  - Entweder das p-Netz oder das n-Netz sperrt
    - → Keine leitende Verbindung von  $V_{dd}$  zu GND
    - → Kein Stromverbrauch (ausgenommen von der Integrationsdichte abhängige Leckströme)
  - Stromverbrauch entsteht beim Schalten der Transistoren
    - → Taktfrequenz ist (zusammen mit Höhe der Versorgungsspannung) entscheidend für Stromverbrauch der Schaltung
  - Diskussion: Hat der Einsatz der CMOS-Technik auch Nachteile? (gegenüber reinen NMOS-/PMOS-Schaltungen)

- Solange kein Schaltvorgang stattfindet:
  - Entweder das p-Netz oder das n-Netz sperrt
  - → Keine leitende Verbindung von  $V_{dd}$  zu GND
  - → Kein Stromverbrauch (ausgenommen von der Integrationsdichte abhängige Leckströme)
- Stromverbrauch entsteht beim Schalten der Transistoren
  - → Taktfrequenz ist (zusammen mit Höhe der Versorgungsspannung) entscheidend für Stromverbrauch der Schaltung
- Diskussion: Hat der Einsatz der CMOS-Technik auch Nachteile? (gegenüber reinen NMOS-/PMOS-Schaltungen)

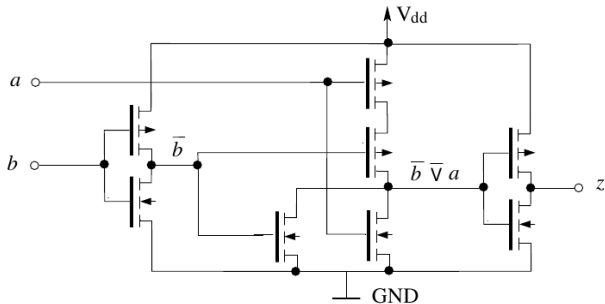
- Solange kein Schaltvorgang stattfindet:
  - Entweder das p-Netz oder das n-Netz sperrt
  - → Keine leitende Verbindung von  $V_{dd}$  zu GND
  - → Kein Stromverbrauch (ausgenommen von der Integrationsdichte abhängige Leckströme)
- Stromverbrauch entsteht beim Schalten der Transistoren
  - → Taktfrequenz ist (zusammen mit Höhe der Versorgungsspannung) entscheidend für Stromverbrauch der Schaltung
- Diskussion: Hat der Einsatz der CMOS-Technik auch Nachteile? (gegenüber reinen NMOS-/PMOS-Schaltungen)



- Solange kein Schaltvorgang stattfindet:
  - Entweder das p-Netz oder das n-Netz sperrt
  - → Keine leitende Verbindung von  $V_{dd}$  zu GND
  - → Kein Stromverbrauch (ausgenommen von der Integrationsdichte abhängige Leckströme)
- Stromverbrauch entsteht beim Schalten der Transistoren
  - → Taktfrequenz ist (zusammen mit Höhe der Versorgungsspannung) entscheidend für Stromverbrauch der Schaltung
- Diskussion: Hat der Einsatz der CMOS-Technik auch Nachteile? (gegenüber reinen NMOS-/PMOS-Schaltungen)

- Solange kein Schaltvorgang stattfindet:
  - Entweder das p-Netz oder das n-Netz sperrt
  - → Keine leitende Verbindung von  $V_{dd}$  zu GND
  - → Kein Stromverbrauch (ausgenommen von der Integrationsdichte abhängige Leckströme)
- Stromverbrauch entsteht beim Schalten der Transistoren
  - → Taktfrequenz ist (zusammen mit Höhe der Versorgungsspannung) entscheidend für Stromverbrauch der Schaltung
- Diskussion: Hat der Einsatz der CMOS-Technik auch Nachteile? (gegenüber reinen NMOS-/PMOS-Schaltungen)

# Übungsaufgabe 1.1



Eine zweistellige Schaltfunktion  $y = f(b, a)$  wird durch dieses Schaltnetz in positiver Logik realisiert, d.h. der Spannungspegel  $V_{dd}$  wird als der Wert 1 und der Spannungspegel GND als der Wert 0 definiert.

Stellen Sie die Funktionstabelle auf. Welche Schaltfunktion wird durch  $y$  realisiert? Wie lautet die disjunktive Minimalform der Funktion  $y$ ?

# Übungsaufgabe 1.2

Die Schaltfunktion  $z = g(b, a) = a \rightarrow b$  soll durch ein CMOS-Schaltnetz realisiert werden. Nehmen Sie an, dass nur CMOS-Inverter und CMOS-Gatter mit zwei Eingängen für die Schaltfunktion NOR zur Verfügung stehen. Die Eingangsvariablen stehen lediglich bejagt zur Verfügung.

Zeichnen Sie das Transistorschaltbild des resultierenden Schaltnetzes in der CMOS-Technologie.

# Übungsaufgabe 1.3

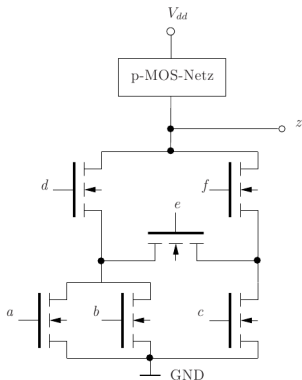
Warum sind NAND-Schaltungen NOR-Schaltungen als Basiselemente in der CMOS-Technologie vorzuziehen?

# Übungsaufgabe 2.1

Realisieren Sie die folgende Schaltfunktion  $y$  als CMOS-Schaltnetz:

$$y = ab \vee cd \vee efg$$

# Übungsaufgabe 2.2



Welche Schaltfunktion wird durch das CMOS-Schaltnetz realisiert, dessen n-MOS-Netz hier dargestellt ist?

Welcome to text-only Counterstrike.  
You are in a dark, outdoor map.  
> GO NORTH  
You have been pwned by a grue.

Quelle: <http://xkcd.com/91/>