

RO-Tutorien 17 und 18

Tutorien zur Vorlesung "Rechnerorganisation"

Christian A. Mandery

TUTORIENWOCHE 10 AM 05.07.2012



- Halbleiterspeichertypen
- Aufbau und Organisation von Speicherbausteinen
- DRAM
- Übungsaufgaben

- **Flüchtiger (volatiler) Halbleiterspeicher:** Verliert Inhalt, wenn Versorgungsspannung abgeschaltet wird
 - Statisches RAM (SRAM)
 - Dynamisches RAM (DRAM)
 - Quasi-statisches RAM (iRAM)
- **Nicht-flüchtiger (persistenter) Halbleiterspeicher:** Speichert Inhalt auch ohne Versorgungsspannung
 - Maskenprogrammiertes ROM
 - Programmable ROM (PROM)
 - Erasable Programmable ROM (EPROM)
 - Electronically Erasable Programmable ROM (EEPROM)
 - Flash-Speicher (Flash-EEPROM)
- **Mischformen:** Kombinieren flüchtigen und nicht-flüchtigen Halbleiterspeicher
 - Non-volatile RAM (NVRAM)

- **Flüchtiger (volatiler) Halbleiterspeicher:** Verliert Inhalt, wenn Versorgungsspannung abgeschaltet wird
 - Statisches RAM (SRAM)
 - Dynamisches RAM (DRAM)
 - Quasi-statisches RAM (iRAM)
- **Nicht-flüchtiger (persistenter) Halbleiterspeicher:** Speichert Inhalt auch ohne Versorgungsspannung
 - Maskenprogrammiertes ROM
 - Programmable ROM (PROM)
 - Erasable Programmable ROM (EPROM)
 - Electronically Erasable Programmable ROM (EEPROM)
 - Flash-Speicher (Flash-EEPROM)
- **Mischformen:** Kombinieren flüchtigen und nicht-flüchtigen Halbleiterspeicher
 - Non-volatile RAM (NVRAM)

- **Flüchtiger (volatiler) Halbleiterspeicher:** Verliert Inhalt, wenn Versorgungsspannung abgeschaltet wird
 - Statisches RAM (SRAM)
 - Dynamisches RAM (DRAM)
 - Quasi-statisches RAM (iRAM)
- **Nicht-flüchtiger (persistenter) Halbleiterspeicher:** Speichert Inhalt auch ohne Versorgungsspannung
 - Maskenprogrammiertes ROM
 - Programmable ROM (PROM)
 - Erasable Programmable ROM (EPROM)
 - Electronically Erasable Programmable ROM (EEPROM)
 - Flash-Speicher (Flash-EEPROM)
- **Mischformen:** Kombinieren flüchtigen und nicht-flüchtigen Halbleiterspeicher
 - Non-volatile RAM (NVRAM)

- **RAM: Random Access Memory (wahlfreier Zugriff auf alle Speicheradressen)**
- **Statisches RAM (SRAM):**
 - Speicherelemente sind Flipflops, die meist in CMOS-Technik (→ Digitaltechnik-Vorlesung) aufgebaut werden
 - Hohe Geschwindigkeit, hoher Preis pro Speichermenge
- **Dynamisches RAM (DRAM):**
 - Speicherelemente sind Kondensator
 - Wegen Leckströmen periodisches Auffrischen (Refresh) notwendig
 - Langsamer als SRAM, günstigerer Preis pro Speichermenge
- **Quasi-statisches RAM (iRAM):**
 - Dynamisches RAM, bei dem eine integrierte Schaltung den Refresh automatisch durchführt (i = integriert)
 - Können von außen daher als statisches RAM angesehen werden

- RAM: Random Access Memory (wahlfreier Zugriff auf alle Speicheradressen)
- **Statisches RAM (SRAM):**
 - Speicherelemente sind Flipflops, die meist in CMOS-Technik (→ Digitaltechnik-Vorlesung) aufgebaut werden
 - Hohe Geschwindigkeit, hoher Preis pro Speichermenge
- **Dynamisches RAM (DRAM):**
 - Speicherelemente sind Kondensator
 - Wegen Leckströmen periodisches Auffrischen (Refresh) notwendig
 - Langsamer als SRAM, günstigerer Preis pro Speichermenge
- **Quasi-statisches RAM (iRAM):**
 - Dynamisches RAM, bei dem eine integrierte Schaltung den Refresh automatisch durchführt (i = integriert)
 - Können von außen daher als statisches RAM angesehen werden

- RAM: Random Access Memory (wahlfreier Zugriff auf alle Speicheradressen)
- **Statisches RAM (SRAM):**
 - Speicherelemente sind Flipflops, die meist in CMOS-Technik (→ Digitaltechnik-Vorlesung) aufgebaut werden
 - Hohe Geschwindigkeit, hoher Preis pro Speichermenge
- **Dynamisches RAM (DRAM):**
 - Speicherelemente sind Kondensator
 - Wegen Leckströmen periodisches Auffrischen (Refresh) notwendig
 - Langsamer als SRAM, günstigerer Preis pro Speichermenge
- **Quasi-statisches RAM (iRAM):**
 - Dynamisches RAM, bei dem eine integrierte Schaltung den Refresh automatisch durchführt (i = integriert)
 - Können von außen daher als statisches RAM angesehen werden

- RAM: Random Access Memory (wahlfreier Zugriff auf alle Speicheradressen)
- **Statisches RAM (SRAM):**
 - Speicherelemente sind Flipflops, die meist in CMOS-Technik (→ Digitaltechnik-Vorlesung) aufgebaut werden
 - Hohe Geschwindigkeit, hoher Preis pro Speichermenge
- **Dynamisches RAM (DRAM):**
 - Speicherelemente sind Kondensator
 - Wegen Leckströmen periodisches Auffrischen (Refresh) notwendig
 - Langsamer als SRAM, günstigerer Preis pro Speichermenge
- **Quasi-statisches RAM (iRAM):**
 - Dynamisches RAM, bei dem eine integrierte Schaltung den Refresh automatisch durchführt (i = integriert)
 - Können von außen daher als statisches RAM angesehen werden

- **Flüchtiger (volatiler) Halbleiterspeicher:** Verliert Inhalt, wenn Versorgungsspannung abgeschaltet wird
 - Statisches RAM (SRAM)
 - Dynamisches RAM (DRAM)
 - Quasi-statisches RAM (iRAM)
- **Nicht-flüchtiger (persistenter) Halbleiterspeicher:** Speichert Inhalt auch ohne Versorgungsspannung
 - Maskenprogrammiertes ROM
 - Programmable ROM (PROM)
 - Erasable Programmable ROM (EPROM)
 - Electronically Erasable Programmable ROM (EEPROM)
 - Flash-Speicher (Flash-EEPROM)
- **Mischformen:** Kombinieren flüchtigen und nicht-flüchtigen Halbleiterspeicher
 - Non-volatile RAM (NVRAM)

- ROM: Read-only Memory
- Masken-programmiertes ROM
 - Wird bei der Fertigung (irreversibel) programmiert
 - Daher nur für große Stückzahlen geeignet
- Programmable ROM (PROM)
 - Einmalig mit einem Programmiergerät programmierbar
- Erasable Programmable ROM (EPROM)
 - Kann mehrmals beschrieben werden
 - Vor Wiederbeschreiben Löschung durch Beleuchtung mit UV-Licht

- ROM: Read-only Memory
- **Masken-programmiertes ROM**
 - Wird bei der Fertigung (irreversibel) programmiert
 - Daher nur für große Stückzahlen geeignet
- Programmable ROM (PROM)
 - Einmalig mit einem Programmiergerät programmierbar
- Erasable Programmable ROM (EPROM)
 - Kann mehrmals beschrieben werden
 - Vor Wiederbeschreiben Löschung durch Beleuchtung mit UV-Licht

- ROM: Read-only Memory
- **Masken-programmiertes ROM**
 - Wird bei der Fertigung (irreversibel) programmiert
 - Daher nur für große Stückzahlen geeignet
- **Programmable ROM (PROM)**
 - Einmalig mit einem Programmiergerät programmierbar
- **Erasable Programmable ROM (EPROM)**
 - Kann mehrmals beschrieben werden
 - Vor Wiederbeschreiben Löschung durch Beleuchtung mit UV-Licht

- ROM: Read-only Memory
- **Masken-programmiertes ROM**
 - Wird bei der Fertigung (irreversibel) programmiert
 - Daher nur für große Stückzahlen geeignet
- **Programmable ROM (PROM)**
 - Einmalig mit einem Programmiergerät programmierbar
- **Erasable Programmable ROM (EPROM)**
 - Kann mehrmals beschrieben werden
 - Vor Wiederbeschreiben Löschung durch Beleuchtung mit UV-Licht

■ **Electronically Erasable Programmable ROM (EEPROM)**

- Kann mehrmals beschrieben werden
- Schreiben und Löschen erfolgt rein elektronisch, allerdings sehr langsam

■ **Flash-EEPROM**

- Elektronisch löschbar wie EEPROM, aber nicht byte- sondern blockweise
 - Insgesamt sehr schnell (Löschen ist die langsamste Operation)
 - Weit verbreitet: USB-Sticks, Handys, SSDs usw.
- Hinweis: Die Anzahl der Schreibzyklen bei EPROM, EEPROM und Flash-EEPROM ist begrenzt, je nach Modell ca. 100-1000000 Schreibzyklen.

■ Elektronically Erasable Programmable ROM (EEPROM)

- Kann mehrmals beschrieben werden
- Schreiben und Löschen erfolgt rein elektronisch, allerdings sehr langsam

■ Flash-EEPROM

- Elektronisch löscher wie EEPROM, aber nicht byte- sondern blockweise
- Insgesamt sehr schnell (Löschen ist die langsamste Operation)
- Weit verbreitet: USB-Sticks, Handys, SSDs usw.

- Hinweis: Die Anzahl der Schreibzyklen bei EPROM, EEPROM und Flash-EEPROM ist begrenzt, je nach Modell ca. 100-1000000 Schreibzyklen.

- **Electronically Erasable Programmable ROM (EEPROM)**
 - Kann mehrmals beschrieben werden
 - Schreiben und Löschen erfolgt rein elektronisch, allerdings sehr langsam
- **Flash-EEPROM**
 - Elektronisch löschbar wie EEPROM, aber nicht byte- sondern blockweise
 - Insgesamt sehr schnell (Löschen ist die langsamste Operation)
 - Weit verbreitet: USB-Sticks, Handys, SSDs usw.
- Hinweis: Die Anzahl der Schreibzyklen bei EPROM, EEPROM und Flash-EEPROM ist begrenzt, je nach Modell ca. 100-1000000 Schreibzyklen.

- **Flüchtiger (volatiler) Halbleiterspeicher:** Verliert Inhalt, wenn Versorgungsspannung abgeschaltet wird
 - Statisches RAM (SRAM)
 - Dynamisches RAM (DRAM)
 - Quasi-statisches RAM (iRAM)
- **Nicht-flüchtiger (persistenter) Halbleiterspeicher:** Speichert Inhalt auch ohne Versorgungsspannung
 - Maskenprogrammiertes ROM
 - Programmable ROM (PROM)
 - Erasable Programmable ROM (EPROM)
 - Electronically Erasable Programmable ROM (EEPROM)
 - Flash-Speicher (Flash-EEPROM)
- **Mischformen:** Kombinieren flüchtigen und nicht-flüchtigen Halbleiterspeicher
 - Non-volatile RAM (NVRAM)

- **Speicherbausteine** sind in mehrere **Speicherzellen** (z.B. à 32 Bit) gegliedert, die mehrere **Speicherelemente** (à 1 Bit) enthalten
- **Zugriffszeit**: Maximale Zeitdauer für Speicherzugriff
- **Zykluszeit**: Minimale Zeitdauer zwischen zwei Zugriffen
- $\text{Zykluszeit} \geq \text{Zugriffszeit}$

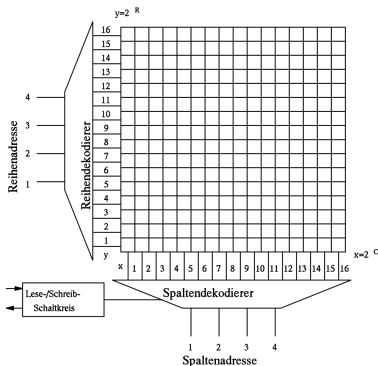
- **Speicherbausteine** sind in mehrere **Speicherzellen** (z.B. à 32 Bit) gegliedert, die mehrere **Speicherelemente** (à 1 Bit) enthalten
- **Zugriffszeit**: Maximale Zeitdauer für Speicherzugriff
- **Zykluszeit**: Minimale Zeitdauer zwischen zwei Zugriffen
- $\text{Zykluszeit} \geq \text{Zugriffszeit}$

- **Speicherbausteine** sind in mehrere **Speicherzellen** (z.B. à 32 Bit) gegliedert, die mehrere **Speicherelemente** (à 1 Bit) enthalten
- **Zugriffszeit**: Maximale Zeitdauer für Speicherzugriff
- **Zykluszeit**: Minimale Zeitdauer zwischen zwei Zugriffen
- Zykluszeit \geq Zugriffszeit

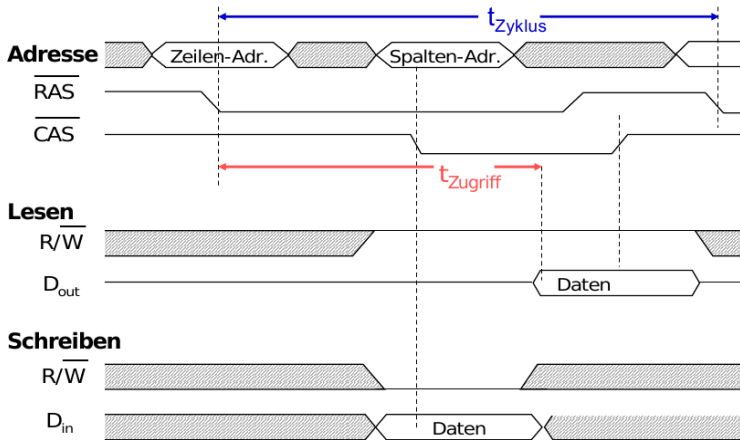
- **Speicherbausteine** sind in mehrere **Speicherzellen** (z.B. à 32 Bit) gegliedert, die mehrere **Speicherelemente** (à 1 Bit) enthalten
- **Zugriffszeit**: Maximale Zeitdauer für Speicherzugriff
- **Zykluszeit**: Minimale Zeitdauer zwischen zwei Zugriffen
- Zykluszeit \geq Zugriffszeit

Aufbau als Speichermatrix

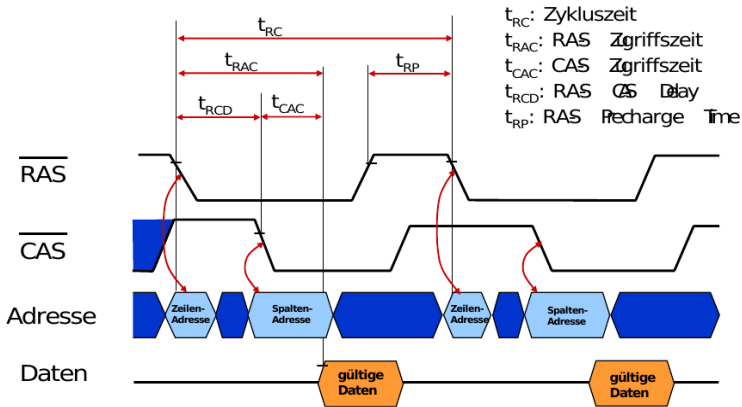
- Anordnung der Speicherzellen oft in Matrixstruktur
- Auswahl einer Speicherzelle durch Angabe der
 - Zeile (Row Address Select, RAS) und
 - Spalte (Column Address Select, CAS)



Ansteuerung von DRAM



DRAM-Timingparameter



■ Fast Page Mode (FPM) DRAM

- Die ausgewählte Zeile kann zwischen Zugriffen aktiv bleiben und nur die Spalte wird neu gesetzt
- Beschleunigung bei sequentiellen Zugriffen

■ Extended Data Output (EDO) DRAM

- Ausgabe des DRAM ist gelatched
- Beschleunigung (Folgezugriff kann noch während dem Auslesen starten)

■ Synchronous (S) DRAM

- RAM arbeitet im Systemtakt (heute Standard)

■ Double Data Rate (DDR) SDRAM

- Erweiterung von SDRAM, mit Datenübertragung zweimal pro Takt (auf beiden Taktflanken)

- Weitere Weiterentwicklungen (DDR2-SDRAM, DDR3-SDRAM etc.): Prefetching, niedrigere Versorgungsspannung usw.

■ Fast Page Mode (FPM) DRAM

- Die ausgewählte Zeile kann zwischen Zugriffen aktiv bleiben und nur die Spalte wird neu gesetzt
- Beschleunigung bei sequentiellen Zugriffen

■ Extended Data Output (EDO) DRAM

- Ausgabe des DRAM ist gelatched
- Beschleunigung (Folgezugriff kann noch während dem Auslesen starten)

■ Synchronous (S) DRAM

- RAM arbeitet im Systemtakt (heute Standard)

■ Double Data Rate (DDR) SDRAM

- Erweiterung von SDRAM, mit Datenübertragung zweimal pro Takt (auf beiden Taktflanken)

■ Weitere Weiterentwicklungen (DDR2-SDRAM, DDR3-SDRAM etc.): Prefetching, niedrigere Versorgungsspannung usw.

■ Fast Page Mode (FPM) DRAM

- Die ausgewählte Zeile kann zwischen Zugriffen aktiv bleiben und nur die Spalte wird neu gesetzt
- Beschleunigung bei sequentiellen Zugriffen

■ Extended Data Output (EDO) DRAM

- Ausgabe des DRAM ist gelatched
- Beschleunigung (Folgezugriff kann noch während dem Auslesen starten)

■ Synchronous (S) DRAM

- RAM arbeitet im Systemtakt (heute Standard)

■ Double Data Rate (DDR) SDRAM

- Erweiterung von SDRAM, mit Datenübertragung zweimal pro Takt (auf beiden Taktflanken)

- Weitere Weiterentwicklungen (DDR2-SDRAM, DDR3-SDRAM etc.): Prefetching, niedrigere Versorgungsspannung usw.

■ Fast Page Mode (FPM) DRAM

- Die ausgewählte Zeile kann zwischen Zugriffen aktiv bleiben und nur die Spalte wird neu gesetzt
- Beschleunigung bei sequentiellen Zugriffen

■ Extended Data Output (EDO) DRAM

- Ausgabe des DRAM ist gelatched
- Beschleunigung (Folgezugriff kann noch während dem Auslesen starten)

■ Synchronous (S) DRAM

- RAM arbeitet im Systemtakt (heute Standard)

■ Double Data Rate (DDR) SDRAM

- Erweiterung von SDRAM, mit Datenübertragung zweimal pro Takt (auf beiden Taktflanken)

- Weitere Weiterentwicklungen (DDR2-SDRAM, DDR3-SDRAM etc.):
Prefetching, niedrigere Versorgungsspannung usw.

■ Fast Page Mode (FPM) DRAM

- Die ausgewählte Zeile kann zwischen Zugriffen aktiv bleiben und nur die Spalte wird neu gesetzt
- Beschleunigung bei sequentiellen Zugriffen

■ Extended Data Output (EDO) DRAM

- Ausgabe des DRAM ist gelatched
- Beschleunigung (Folgezugriff kann noch während dem Auslesen starten)

■ Synchronous (S) DRAM

- RAM arbeitet im Systemtakt (heute Standard)

■ Double Data Rate (DDR) SDRAM

- Erweiterung von SDRAM, mit Datenübertragung zweimal pro Takt (auf beiden Taktflanken)

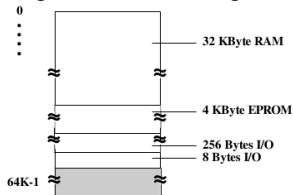
- Weitere Weiterentwicklungen (DDR2-SDRAM, DDR3-SDRAM etc.): Prefetching, niedrigere Versorgungsspannung usw.

- 1 Wie werden EPROM- und EEPROM-Bausteine gelöscht?
- 2 Wie wird die Information eines Bits in statischen und dynamischen RAM-Bausteinen gespeichert? Wie unterscheiden sich statische und dynamische RAM-Bausteine bezüglich des elektrischen Verhaltens?

- 1 Wie werden EPROM- und EEPROM-Bausteine gelöscht?
- 2 Wie wird die Information eines Bits in statischen und dynamischen RAM-Bausteinen gespeichert? Wie unterscheiden sich statische und dynamische RAM-Bausteine bezüglich des elektrischen Verhaltens?

Übungsaufgabe 2

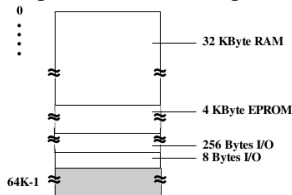
Gegeben sei die folgende Belegung eines 64kB-Adressraums:



- 1 Geben Sie die Anfangs- und Endadressen der Speicherbereiche in hexadezimaler Schreibweise an.
- 2 Geben Sie die für die Bereichsauswahl erforderliche Unterteilung der 16-Bit-Adresse für jeden der Bereiche und die Werte der für die Bereichsauswahl signifikanten Bits an.
- 3 Wie ändern sich die Adressfestlegungen zur Auswahl der beiden Ein-/Ausgabebereiche, wenn diese an den Anfang des letzten 1kB-Bereichs des Adressraums verschoben werden?

Übungsaufgabe 2

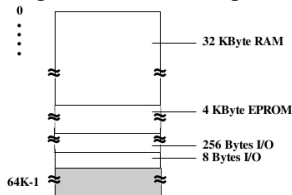
Gegeben sei die folgende Belegung eines 64kB-Adressraums:



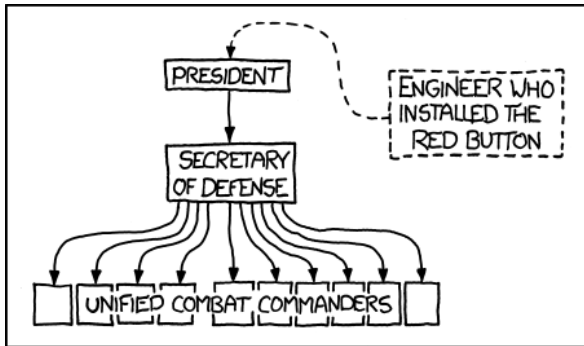
- 1 Geben Sie die Anfangs- und Endadressen der Speicherbereiche in hexadezimaler Schreibweise an.
- 2 Geben Sie die für die Bereichsauswahl erforderliche Unterteilung der 16-Bit-Adresse für jeden der Bereiche und die Werte der für die Bereichsauswahl signifikanten Bits an.
- 3 Wie ändern sich die Adressfestlegungen zur Auswahl der beiden Ein-/Ausgabebereiche, wenn diese an den Anfang des letzten 1kB-Bereichs des Adressraums verschoben werden?

Übungsaufgabe 2

Gegeben sei die folgende Belegung eines 64kB-Adressraums:



- 1 Geben Sie die Anfangs- und Endadressen der Speicherbereiche in hexadezimaler Schreibweise an.
- 2 Geben Sie die für die Bereichsauswahl erforderliche Unterteilung der 16-Bit-Adresse für jeden der Bereiche und die Werte der für die Bereichsauswahl signifikanten Bits an.
- 3 Wie ändern sich die Adressfestlegungen zur Auswahl der beiden Ein-/Ausgabebereiche, wenn diese an den Anfang des letzten 1kB-Bereichs des Adressraums verschoben werden?



US NUCLEAR CHAIN OF COMMAND

Quelle: <http://xkcd.com/898/>