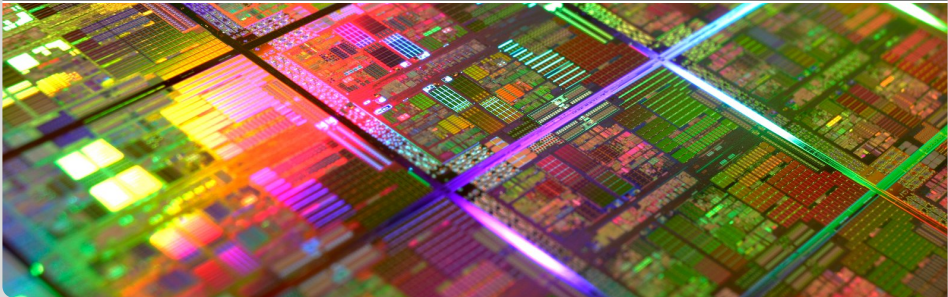


Tutorium Rechnerorganisation

Woche 11

Tutorien 3 und 4 zur Vorlesung Rechnerorganisation



- Übungsaufgabe

Übungsaufgabe 1.1

Bei einem Cache-Speicher mit einer Speicherkapazität von 512 KByte ist die Hauptspeicheradresse in ein 16 Bit Tag-Feld, ein 10 Bit Index-Feld und einen 6 Bit Byte-Offset unterteilt.

1. Bestimmen Sie die Blockgröße in Bytes.
2. Wieviele Einträge besitzt der Cache-Speicher?
3. Wie ist der Cache-Speicher organisiert?

Übungsaufgabe 1.1

Bei einem Cache-Speicher mit einer Speicherkapazität von 512 KByte ist die Hauptspeicheradresse in ein 16 Bit Tag-Feld, ein 10 Bit Index-Feld und einen 6 Bit Byte-Offset unterteilt.

1. Bestimmen Sie die Blockgröße in Bytes.
2. Wieviele Einträge besitzt der Cache-Speicher?
3. Wie ist der Cache-Speicher organisiert?

Übungsaufgabe 1.1

Bei einem Cache-Speicher mit einer Speicherkapazität von 512 KByte ist die Hauptspeicheradresse in ein 16 Bit Tag-Feld, ein 10 Bit Index-Feld und einen 6 Bit Byte-Offset unterteilt.

1. Bestimmen Sie die Blockgröße in Bytes.
2. Wieviele Einträge besitzt der Cache-Speicher?
3. Wie ist der Cache-Speicher organisiert?

Übungsaufgabe 1.2

Es soll ein 5-fach-assoziativer Cache-Speicher mit 128 Sätzen und einer Blockgröße von 8 Byte realisiert werden. Nehmen Sie an, dass die Hauptspeicheradresse 32 Bit breit ist. Zur Verwaltung eines Cacheblocks wird nur ein Statusbit (Valid-Bit: V) verwendet.

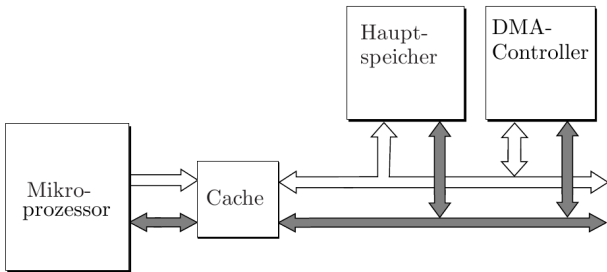
1. Welche Bits der 32-Bit-Adresse bilden Offset, Tag und Index?
Skizzieren Sie hierzu die Unterteilung der Hauptspeicheradresse.
2. Bestimmen Sie den insgesamt erforderlichen Speicherbedarf zur Realisierung dieses Cache-Speichers.

Übungsaufgabe 1.2

Es soll ein 5-fach-assoziativer Cache-Speicher mit 128 Sätzen und einer Blockgröße von 8 Byte realisiert werden. Nehmen Sie an, dass die Hauptspeicheradresse 32 Bit breit ist. Zur Verwaltung eines Cacheblocks wird nur ein Statusbit (Valid-Bit: V) verwendet.

1. Welche Bits der 32-Bit-Adresse bilden Offset, Tag und Index?
Skizzieren Sie hierzu die Unterteilung der Hauptspeicheradresse.
2. Bestimmen Sie den insgesamt erforderlichen Speicherbedarf zur Realisierung dieses Cache-Speichers.

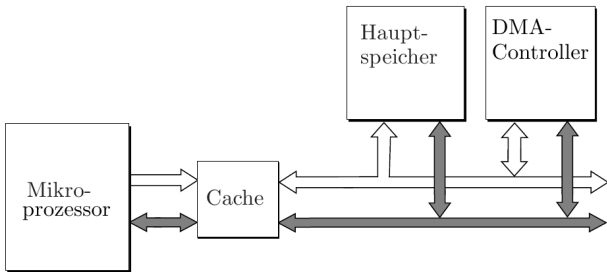
Übungsaufgabe 1.2



Die Abbildung zeigt ein Mikrorechnersystem, das neben dem Prozessor mit Cache einen DMA-Controller ohne Cache als weiteren Master aufweist. Der DMA-Controller hat wie der Prozessor einen direkten Zugriff auf den Hauptspeicher, in dem sich beide Master einen Speicherbereich teilen.

- Welches Daten-Inkonsistenz-Problem tritt auf, wenn der Cache ein Durchschreib-Verfahren (write-through) verwendet?

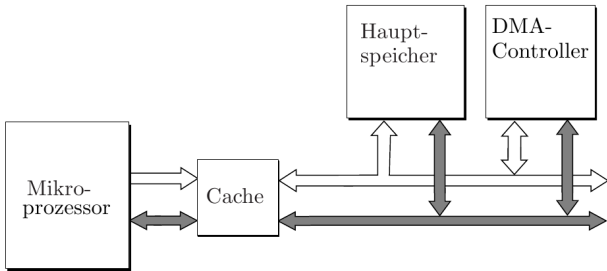
Übungsaufgabe 1.2



Die Abbildung zeigt ein Mikrorechnersystem, das neben dem Prozessor mit Cache einen DMA-Controller ohne Cache als weiteren Master aufweist. Der DMA-Controller hat wie der Prozessor einen direkten Zugriff auf den Hauptspeicher, in dem sich beide Master einen Speicherbereich teilen.

- Welches Daten-Inkonsistenz-Problem tritt auf, wenn der Cache ein Rückschreib-Verfahren (write-back) verwendet?

Übungsaufgabe 1.2



Die Abbildung zeigt ein Mikrorechnersystem, das neben dem Prozessor mit Cache einen DMA-Controller ohne Cache als weiteren Master aufweist. Der DMA-Controller hat wie der Prozessor einen direkten Zugriff auf den Hauptspeicher, in dem sich beide Master einen Speicherbereich teilen.

- Geben Sie zwei Lösungsvorschläge zur Gewährleistung der Datenkonsistenz an.

Fertig!